نموذج وصف الوحدة

نموذج وصف المادة الدراسي

كلية الهندسة / قسم الطب الحياتي

معلومات الوحدة معلومات المادة الدراسية		
عنوان الوحدة	**الكترونيك رقمي**	تسليم الوحدة
نوع الوحدة	**أساسي**	نظريه ☒ حاضر ☒ المختبر ☒ تعليمي ☐ عملي ☐ الحلقة الدراسيه ☐
رمز الوحدة	BME-321	
ائتمانات ECTS	**6**	
SWL (ساعة / SEM)	**175**	

مستوى الوحدة	3	الفصل الدراسي للتسليم	2
الإدارة الإدارية	EMG	الكلية	ENG
قائد الوحدة	م.م. علي محمد	البريد الالكترونى	Ali.mohammed@uowa.edu.iq
لقب قائد الوحدة	مدرس مساعد	مؤهلات قائد الوحدة	ماجستير
مدرس الوحدة		البريد الالكترونى	
اسم المراجع النظير		البريد الالكترونى	البريد الالكترونى
تاريخ اعتماد اللجنة العلمية	09/02/2026	رقم الإصدار	1.0

العلاقة مع الوحدات الأخرى العلاقة مع المواد الدراسية الأخرى			
وحدة المتطلبات الأساسية	الكترونيك	الفصل الدراسي	4
وحدة المتطلبات المشتركة	لايوجد	الفصل الدراسي	

أهداف الوحدة ونتائج التعلم والمحتويات الإرشادية أهداف المادة الدراسية ونتائج التعلم والمحتويات الإرشادية	
أهداف الوحدة أهداف المادة الدراسية	1. التعرّف على الأنظمة الرقمية المختلفة، وبشكل خاص النظام الرقمي وطريقة إجراء العمليات الحسابية. 2. فهم كيفية قيام الحاسوب بتنفيذ العمليات الحسابية، وكيفية تمثيل الأرقام والحروف في الدوائر الرقمية. 3. تقديم الأسس والمفاهيم المتعلقة بترميز البيانات الرقمية والنصية داخل الحاسوب. 4. تطوير قدرة الطالب على تصميم وتحليل وتنفيذ عمل الدوائر الرقمية التجميعية (Combinational Digital Circuits) وفقًا للمعادلات أو جداول الحقيقة (Truth Tables). 5. تطوير قدرة الطالب على تصميم وتحليل وتنفيذ الدوائر الرقمية التجميعية وفقًا للوصف النصي (Narrative Specifications). 6. التعرف على آلية عمل وتحليل بعض الدوائر الشائعة الاستخدام في الأنظمة الرقمية. 7. تعليم الطالب كيفية قيام الحاسوب بخزن المعلومات الرقمية ونقلها بين مكوّناته المختلفة. 8. تطوير قدرة الطالب على تشخيص الأعطال أو الأخطاء في عمل الدوائر الرقمية التجميعية وإصلاحها.
مخرجات التعلم للوحدة مخرجات التعلم للمادة الدراسية	1. تدريب الطالب على تبنّي عقلية المصمّم والاستمتاع بها في مختلف الحالات. 2. تمكين الطالب من التكيّف مع الظروف المختلفة وحل المشكلات بأقل الإمكانات المتاحة. 3. تحويل التصميم من مرحلة الورقة والقلم إلى دوائر رقمية تعمل إما على الحاسوب أو على أرض الواقع الرقمي. 4. التعرّف على جميع مبادئ التصميم المنطقي وفهمها بشكل متكامل. 5. التعرّف على كيفية فهم والعمل مع معمارية الحاسوب (Computer Architecture) والأنظمة الرقمية الأخرى. 6. امتلاك القدرة على تحليل واكتشاف المشكلة أو الخطأ، وإيجاد الحل المناسب له. 7. تطوير عقلية الطالب ليكون قادرًا على مطابقة المتطلبات النظرية مع الدائرة التي يقوم بتصميمها. 8. تنمية مهارات الطلبة في توظيف النظريات والمعادلات الرياضية لحل المشكلات التطبيقية. 9. امتلاك القدرة على تصميم وتحليل دوائر رقمية متعددة باستخدام لغات الحاسوب أو من خلال المحاكاة الافتراضية. 10. امتلاك القدرة على بناء وتشكيل دوائر رقمية أكثر تعقيدًا من خلال ربط دوائر رقمية أصغر معًا. 11. امتلاك القدرة على اختبار جميع الدوائر الرقمية المصممة والكشف عن الأخطاء — إن وجدت — ومعالجتها.
المحتويات الإرشادية المحتويات الإرشادية	يتضمن المحتوى الاسترشادي ما يلي: الجزء A – الأساسيات الرقمية وتصميم الدوائر المنطقية التجميعية (Combinational Logic Design) الجبر البولياني (Logic Gates)، البوابات المنطقية(Codes) أنظمة الأعداد، العمليات الحسابية والترميزات، تحليل الدوائر المنطقية التجميعية، الخاصية الشمولية (Karnaugh Map) وتبسيط المنطق، خريطة كارنوف، ووظائف الدوائر (Pulse Waveform Operation)، تشغيل الموجات النبضيةNOR و NAND لبوابتي المنطقية التجميعية. [15 ساعة] حصص مراجعة وحل مسائل [6 ساعات] الجزء B – الدوائر التتابعية (Sequential Circuits) خصائص تشغيل القلابات، تطبيقات (Timers)، المؤقتات(Flip-Flops)، القلابات(Latches) المشابك، (Astable Multivibrator)، المهتز غير المستقر(One-Shots) القلابات، الدوائر أحادية الاستقرار عمليات مسجلات الإزاحة (Shift Registers)، العدادات غير المتزامنة والمتزامنة، العدادات المتسلسلة(Finite State Machines) آلات الحالات المنتهية (Cascaded Counters)، والرموز المنطقية مع ترميز الاعتمادية (Dependency Notation).

	[15 ساعة] حصص مراجعة وحل مسائل [6 ساعات] الجزء C – المنطق القابل للبرمجة وخزن البيانات (Programmable Logic and Data Storage) [15 ساعة] حصص مراجعة وحل مسائل [6 ساعات] الجزء D – تحويل الإشارة ومعالجتها (Signal Conversion and Processing) حصص مراجعة وحل مسائل [6 ساعات]

استراتيجيات التعلم والتعليم استراتيجيات التعلم والتعليم	
استراتيجيات	1. إلقاء المحاضرات وحل المسائل الرياضية على السبورة. 2. استخدام التقنيات الحديثة ووسائل العرض الإلكتروني (Data Show) لتوضيح الأشكال والرسومات والمخططات ومفردات المحاضرة. 3. التركيز على إشراك الطلبة في المحاضرة من خلال طرح الأسئلة، واستنباط أفكار جديدة، والبحث عن طرائق أخرى لحل المسائل الرياضية. 4. اعتماد أسلوب الواجبات المنزلية لحل التمارين من قبل الطلبة، مع مناقشة وتقييم حلولهم داخل الصف.

عبء عمل الطالب (SWL) الحمل الدراسي للطالب محسوب لـ ١٥ اسبوعا			
SWL منظم (h / sem) الحمل الدراسي المنتظم للطالب خلال الفصل	108	**SWL منظم (ح / ث)** الحمل الدراسي المنتظم للطالب أسبوعيا	7
SWL غير منظم (h / sem) الحمل الدراسي غير المنتظم للطالب خلال الفصل	67	**SWL غير منظم (ح / ث)** الحمل الدراسي غير المنتظم للطالب أسبوعيا	4.5
SWL إجمالي (h / sem) الحمل الدراسي الكلي للطالب خلال الفصل	175		

تقييم الوحدة تقييم المادة الدراسية					
مثل		**الوقت/الرقم**	**الوزن (بالعلامات)**	**الأسبوع المستحق**	**مخرجات التعلم ذات الصلة**
التقييم التكويني	**مسابقات**	2	10% (10)	5, 10	LO # 1 11 و 10 و 2 و
	تعيينات	2	10% (10)	2, 12	LO # 3 7 و 6 و 4 و
	المختبر. / المشاريع	1	10% (10)	مستمر	كل
	تقرير	1	10% (10)	13	LO # 5 10 و 8 و

التقييم الختامي	الامتحان النصفي	2 س	10% (10)	7	LO # 1-7
	الامتحان النهائي	2 ساعة	50% (50)	16	كل
التقييم الإجمالي			100 ٪(100 درجة)		

خطة التسليم (المنهج الأسبوعي) المنهاج الاسبوعي النظري	
أسبوع	المواد المغطاة
الأسبوع 1	Introduction - Number Systems (Binary, HEX, BCD)
الأسبوع 2	Number System Arithmetic (Signed and Unsigned) and Digital Codes
الأسبوع 3	Logic Gates, Boolean Operations and Expression, Laws and Rules of Boolean, DeMorgan Theorm.
الأسبوع 4	Logic Simplification Using Boolean Algebra, SOP & POS, Boolean expression and Truth Tables
الأسبوع 5	The Karnaugh Map, (Karnaugh Map SOP Minimization, Karnaugh Map POS Minimization)
الأسبوع 6	Implementing of Combinational Logic Circuits (Adders, Parallel Adders, Comparators)
الأسبوع 7	Decoders, Encoders, Code C Code Converters, Multiplexers (Data Selectors), Demultiplexers, Parity Generators/Checkers
الأسبوع 8	Sequential Logics (Latches, Flip-Flops) and their applications
الأسبوع 9	One-Shot Monostable Circuit, Astable Multivibrator, 555 Oscillator
اسبوع 10	Shift Register Operations, Types of Shift Register Data I/Os, Bidirectional Shift Registers Shift Register Applications
الأسبوع 11	Asynchronous Counters, Synchronous Counters, Up/Down Synchronous Counters
الأسبوع 12	Design of Synchronous Counters, Cascaded Counters
اسبوع 13	Counter Decoding, Counter Applications
اسبوع 14	Programmable Logic Devices (CPLDs, FPGAs)
اسبوع 15	Signal Conversion and Processing (ADC and DAC)
اسبوع 16	The preparatory week before the Final Exam

خطة التسليم (المنهج الأسبوعي) المنهاج الاسبوعي للمختبر	
	Material Covered
Week 1	Lab 1: Basic Logic Gates (AND – OR – NAND – NOR – XOR – XNOR)
Week 2	Lab 2: Combinational Logic Circuits 1- Full Adder , Parallel bit Adders, 4-bit binary Full Adder, cascaded Full Adder 2- Comparators, Multiplexers, De-Multiplexer, Parity Generators/Checkers
Week 3	Lab 3: Decoder, Encoders, Cascaded Decoder, Cascaded Encoder
Week 4	Lab 4: Latch circuits, S-R Flip Flop, D-Flip-Flop, J-K Flip Flop, T-Flip Flop
Week 5	Lab 5: One Shot circuits (Monostable, Astable)
Week 6	Lab 6: Counters, Cascaded Counters, Shifts Registers
Week 7	Lab 7: ADC and DAC circuits

مصادر التعلم والتعليم مصادر التعلم والتدريس		
	نص	متوفر في المكتبة؟
النصوص المطلوبة	1. Digital Fundamental (Thomas Floyd)	نعم
النصوص الموصى بها	1. Digital Circuits And Logic Design (Samuel C Lee) 2. Digital Logic & Computer Design (Mano) 3. Digital Design: With an Introduction to Verilog HDL	نعم
المواقع الإلكترونية	1. http://freecomputerbooks.com/ 2. https://www.tutorialspoint.com/computer_logical_organization/index.htm 3. http://www.electronicsengineering.nbcafe.in/ 4. https://www.geeksforgeeks.org/digital-electronics-logic-design-tutorials/	

مخطط الدرجات

مخطط الدرجات				
تعريف	**(٪) العلامات**	التقدير	**درجة**	**مجموعة**
أداء متميز	90 - 100	امتياز	ممتاز - أ	**مجموعة النجاح (50 - 100)**
فوق المتوسط مع بعض الأخطاء	80 - 89	جيد جدا	جيد جدا - **ب**	
عمل سليم مع أخطاء ملحوظة	70 - 79	جيد	جيد - **ج**	
عادل ولكن مع أوجه قصور كبيرة	60 - 69	متوسط	مرضية - **د**	
العمل يفي بالحد الأدنى من المعايير	50 - 59	مقبول	كافية - **ه**	
مطلوب المزيد من العمل ولكن الائتمان الممنوح	(45-49)	راسب (قيد المعالجة)	فشل - **FX**	**فشل المجموعة (0 – 49)**
كمية كبيرة من العمل المطلوب	(0-44)	راسب	فشل - **F**	

ملاحظة: سيتم تقريب العلامات التي تزيد المنازل العشرية عن 0.5 أو تقل عن العلامة الكاملة الأعلى أو الأدنى (على سبيل المثال ، سيتم تقريب علامة 54.5 إلى 55 ، بينما سيتم تقريب علامة 54.4 إلى 54 . لذا فإن التعديل الوحيد "لدى الجامعة سياسة عدم التغاضي عن "فشل المرور الوشيك ، على العلامات الممنوحة بواسطة العلامة (العلامات) الأصلية سيكون التقريب التلقائي الموضح أعلاه.